

SEMICONDUCTOR CHIP AND WAFER DICING METHOD

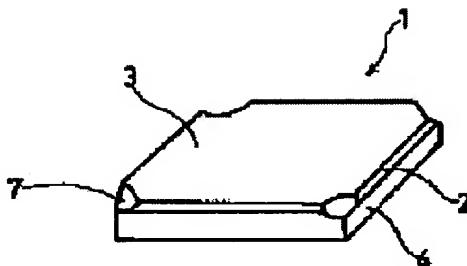
Patent number: JP5136261
Publication date: 1993-06-01
Inventor: TANAKA WATARU
Applicant: KAWASAKI STEEL CO
Classification:
- international: H01L21/78; H01L21/70; (IPC1-7): H01L21/78
- european:
Application number: JP19910300296 19911115
Priority number(s): JP19910300296 19911115

[Report a data error here](#)

Abstract of JP5136261

PURPOSE: To prevent generation of defect such as crack or miswiring due to a thermal stress by modifying a shape of a semiconductor chip and manufacture a chip through improvement of a dicing method.

CONSTITUTION: A resist is coated on the entire surface of a wafer to form a scribe line in the photo process and isotropic etching is performed with the resist used as a mask to remove the resist and thereafter dicing is conducted to provide chamfered parts 2 to the circumference of a semiconductor chip 1 and the corner parts 7.



7/8

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136261

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵
H 01 L 21/78識別記号 庁内整理番号
R 8617-4M
S 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号 特願平3-300296

(22)出願日 平成3年(1991)11月15日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28
号

(72)発明者 田中 渉

東京都千代田区内幸町2丁目2番3号 川
崎製鉄株式会社東京本社内

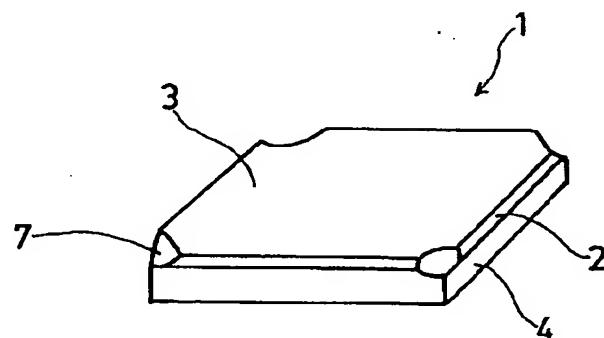
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 半導体チップ及びウエハのダイシング方法

(57)【要約】

【目的】半導体チップの形状に工夫を加え、熱応力によるクラックや配線ずれ等の欠陥発生を防止する。ダイシング方法の改善によって、そのようなチップを製造する。

【構成】ウエハの全面にレジストを塗布し、フォト工程でスクライブラインを形成し、レジストをマスクとして等方性エッティングを行い、レジストを除去し、ついでダイシングすることにより、半導体チップの周縁及びコーナ部に面取りを設ける。



FP04-0165
-00 A0 -HP
04.11.09
SEARCH REPORT

【特許請求の範囲】

【請求項1】 半導体チップの表面の周縁及びコーナ部に面取りを有することを特徴とする半導体チップ。

【請求項2】 ウエハの全面にレジストを塗布し、フォト工程でスクライブラインを形成し、レジストをマスクとして等方性エッティングを行い、レジストを除去し、ついでダイシングすることを特徴とするウエハのダイシング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体チップ及びウエハのダイシング方法に関する。

【0002】

【従来の技術】従来、半導体チップをパッケージした場合に、チップの表面の周縁やコーナ部において、パッシベーション膜にクラックが生じたり、A I配線がずれる等の不良が起こっていた。これはチップの使用中に、外部環境による熱応力によって起こるものと推定される。この熱応力はチップ、ダイパッド及びインナーリードがパッケージ素材によって一体に成形され相互に拘束されており、これらを構成する材料のそれぞれの熱膨張率が異なるために、温度変化が生じたときに発生する。とくに一体に拘束されているので、その接触部に大きな応力が発生するものと考えられる。チップに熱応力が生じると、コーナ部は顕著な応力集中を生じ、トラブルの原因となる。

【0003】従来、パッケージに生じるクラックは樹脂の材料やチップサイズなど幾何学的寸法に大きく影響され、とくに低温の時に、問題があるので、樹脂の熱機械的強度（熱膨張係数、弾性率）を小さくする開発がなされている。

【0004】

【発明が解決しようとする課題】本発明は、上記のような樹脂の性質の改善等によるのではなく、半導体チップの形状に工夫を加え、熱応力によるクラックや配線ずれ等の欠陥発生を防止することを目的とする。また、ダイシング方法の改善によって、そのようなチップの製造を簡単に実現しようとするものである。

【0005】

【課題を解決するための手段】本発明は、半導体チップの表面の周縁及びコーナ部に面取りを有することを特徴とする半導体チップであり、その製造方法はウエハのダイシングに先立ち、ウエハの全面にレジストを塗布し、フォト工程でスクライブラインを露光形成し、レジストをマスクとして等方性エッティングを行うもので、ついでレジストを除去し、ダイシングする。

【0006】

【作用】本発明の半導体チップは、ウエハからダイシングによって切り出す工程に先立ってレジストを塗布し、スクライブラインをフォト工程によって形成し、強酸化

剤を含む弗酸等の液相の等方性エッチャントでエッティングする。又は中性ラジカル等、等方性のエッチャントを用いた気相のドライエッティングでもよい。その後、ダイシングしてチップとする。これにより、ダイシングされたチップの上面と側面の交差するコーナ部に面取り部が形成され、コーナ部に生じる応力集中は緩和されてしまう。従って、熱膨張率の差によって熱応力が生じても、それによりチップの表面と側面との交差するコーナ部において、保護膜にクラックが生じたり、A I配線がずれる等の不良が生じない。

【0007】

【実施例】図1は本発明の実施例のチップ1の概念を示す模式的斜視図を示したもので、その上面3と側面4との交差するコーナ部に面取り2が形成されている。図2はその面取り部の断面の状態の例を示す部分図である。ウエハ1の上面3にはLSIのデバイス5が形成されておりパッシベーション膜8とダイシングされて形成される側面4との間の面取り部は滑らかな曲面6となっており、応力集中を生じない形状となっている。

【0008】図3は本発明方法の実施例のウエハのダイシング方法を示す説明図である。図3(a)は回路形成を完了してダイシング直前の状態にあるウエハ10を示している。そのA部の部分断面図を図3(b)に示した。ウエハ10の上面にはレジスト11が塗布され、スクライブライン12をフォト工程により形成して、強酸化剤を含む弗酸で等方性ウェットエッティングを行い、等方性の腐食溝13を形成する。その後ダイシングライン14に沿ってダイシングする。

【0009】一例として、10mm角の半導体チップを樹脂中に埋設したパッケージを環境温度サイクル試験に供した。環境温度サイクル試験は、マイナス60°Cからプラス150°Cの間の温度の液相に500サイクル曝らし、欠陥発生の有無を調べるものである。従来のチップと本発明の上記実施例のチップをそれぞれ100個を試験に供し、電気特性試験を行ったところ、従来のチップでは不良率が3%認められたが、本発明の実施例では不良率は0%であった。

【0010】

【発明の効果】本発明によれば、半導体チップの表面の周縁及びコーナ部に面取りを有するので、コーナ部に応力集中を生じない。従って、チップの欠陥発生、アルミパッドのずれ等電気特性に障害を与える欠陥を生じない。本発明のチップは、ダイシングに先立ち、ウエハの全面にレジストを塗布し、レジストをマスクとして等方性エッティングを行うことによって簡単に実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例のチップの模式的斜視図である。

【図2】本発明の実施例のチップの部分的断面図であ

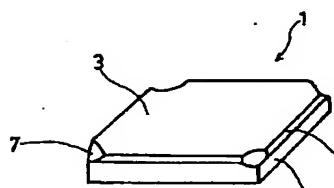
る。

【図3】本発明の実施例のチップの製造方法を示す説明図である。

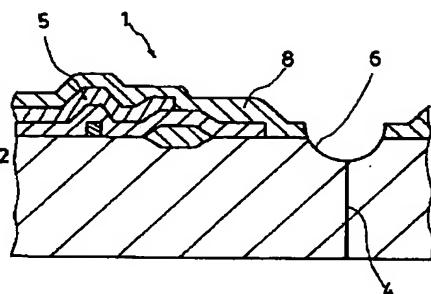
【符号の説明】

1 チップ	2 面取り	5 デバイス	6 曲面
3 上面	4 側面	7 コーナ部	8 パッシベーション膜
		10 ウエハ	11 レジスト
		12 スクライブライン	13 廣食溝
		14 ダイシングライン	

【図1】

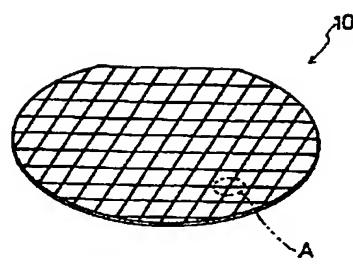


【図2】



(a)

【図3】



(b)

